



⑬ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 199 08 513 A 1**

⑤ Int. Cl.<sup>6</sup>:  
**G 11 C 29/00**  
H 01 L 21/66

⑳ Aktenzeichen: 199 08 513.7  
㉑ Anmeldetag: 26. 2. 99  
㉒ Offenlegungstag: 2. 12. 99

**DE 199 08 513 A 1**

⑳ Unionspriorität:  
98-19585 28. 05. 98 KR  
  
㉑ Anmelder:  
Samsung Electronics Co. Ltd., Suwon, Kyonggi, KR  
  
㉒ Vertreter:  
Kahler, Käck & Fiener, 86899 Landsberg

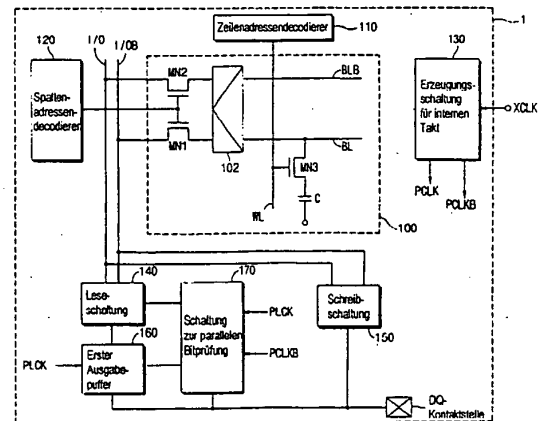
㉓ Erfinder:  
Kim, Nam-Jong, Suwon, Kyunggi, KR

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterspeicherbauelement mit eingebauter Schaltung zur parallelen Bitprüfung

⑤⑤ Es wird ein Halbleiterspeicherbauelement offenbart, welches eine Speicherzellenmatrix (100) und Eingangs-/Ausgangsleitungspaare (I/O, I/OB), die mit der Speicherzellenmatrix verbunden sind und in eine Vielzahl von Gruppen eingeteilt sind, umfaßt. Ein Lesemittel (140) liest Daten aus der Speicherzellenmatrix (100) über jedes der Eingangs-/Ausgangsleitungspaare aus und ein Ausgabemittel (160) gibt die durch das Lesemittel (140) ausgelesenen Daten in jede von in dem Bauelement (1) vorgesehenen Eingangs-/Ausgangskontaktstellen aus. Ferner umfaßt das Bauelement ein Mittel (170) zur parallelen Bitprüfung, das mit einer Eingangs-/Ausgangskontaktstelle verbunden ist. Das Mittel (170) zur parallelen Bitprüfung empfängt, wenn mindestens zwei Gruppen der Eingangs-/Ausgangsleitungspaare während des parallelen Bitprüfmodus ausgewählt werden, den zwei ausgewählten Gruppen der Eingangs-/Ausgangsleitungspaare entsprechende Daten von dem Lesemittel (140) und gibt dann während eines Zyklus des extern angelegten Takts als Reaktion auf erste und zweite interne Taktsignale, die durch ein Erzeugungsmittel (130) für einen internen Takt erzeugt werden, zwei Prüfdatensignale an die eine Eingangs-/Ausgangskontaktstelle einzeln aus. Gemäß der Erfindung kann die Zeit, die zum Prüfen aller in der Speicherzellenmatrix gespeicherten Daten erforderlich ist, um die Hälfte der Prüfzeit gemäß dem Stand der Technik verringert werden, so daß die Prüfkosten eingeschränkt werden können.



**DE 199 08 513 A 1**

Die Erfindung betrifft ein Halbleiterspeicherbauelement und insbesondere ein Halbleiterspeicherbauelement mit einer Schaltung zur parallelen Bitprüfung, die in der Lage ist, eine Prüfzeit auf einer Waferstufe zu verkürzen.

Moderne Halbleiterspeicherbauelemente besitzen einen parallelen Bitprüfmodus zum Ausführen einer parallelen Prüfung einer Vielzahl von Bits, um die Prüfzeit auf sowohl einer Waferstufe als auch einer Packungsstufe zu verkürzen.

Dieser parallele Bitprüfmodus besteht darin, auf eine Vielzahl von Bits der Halbleiterspeicherbauelemente selbst mit einer x1-Bit-Struktur zuzugreifen, anstatt der Ausführung des Schreibens/Lesens von einem Bit auf einmal, um die Speicherfunktion Bit für Bit zu prüfen, oder auf mehr Bits zuzugreifen als die Anzahl der Eingänge/Ausgänge (I/O) für das Bauelement mit Mehrbit-Struktur, wodurch die Funktionen von vielen Bits simultan geprüft werden. Das heißt, dieser Prüfmodus liest simultan die Daten aus n Bits im Lesemodus, um festzustellen, ob jede Dateneinheit mit den geschriebenen Daten übereinstimmt, und gibt "1" oder "0" entsprechend dem Ergebnis einer Übereinstimmung/keiner Übereinstimmung aus.

Unter Verwendung eines solchen Prüfergebnisses werden fehlerbehaftete Speicherstellen gemäß einem Redundanzschema, das üblichen Fachleuten bekannt ist, vor einer Packungsstufe mit redundanten Speicherstellen repariert.

Dieser parallele Bitprüfmodus kann die Anzahl der Zyklen zum Zugreifen auf alle Bits auf  $1/n$  (n ist die Anzahl der Bits) verringern und kann die Prüfzeit signifikant verkürzen. Wenn der Integrationsgrad von Speicherbauelementen erhöht ist, ist auch die Anzahl der im parallelen Bitprüfmodus simultan zu prüfenden Bits erhöht, um eine Steigerung der Prüfzeit zu minimieren. Beispielsweise neigen die einzelnen Hersteller dazu, einen parallelen 16-Bit-Modus in einem 16M-DRAM mit einer Struktur von  $16M \times 1$  Bit zu implementieren und einen parallelen 32-Bit-Modus in einem 64M-DRAM zu implementieren.

Obwohl der vorstehend genannte parallele Bitprüfmodus zur Verkürzung der Prüfzeit beiträgt, hat sich die parallele Bitbreite für jede Generation verdoppelt, so daß die Zeit zum Zugreifen auf alle Zellen von einer Generation zu einer nächsten nur zweifach verbessert wurde.

In dieser Hinsicht wird erwartet, daß selbst der parallele Bitprüfmodus, der bisher für einen Beitrag zur Verkürzung der Prüfzeit gehalten wurde, schließlich zu einer sehr langen Prüfzeit für die zukünftigen Generationen führen wird, was folglich eine Steigerung der Prüfkosten unvermeidbar macht.

Mit anderen Worten, wenn die Generation der Speicherkapazität fortschreitet, wird hinsichtlich Halbleiterspeichern mit dem darin eingebauten herkömmlichen parallelen Bitprüfmodus die Prüfzeit schließlich sehr lang, so daß sich die Prüfkosten zwangsläufig erhöhen.

Es ist daher eine Aufgabe der Erfindung, ein Halbleiterspeicherbauelement mit einer darin eingebauten Schaltung zur parallelen Bitprüfung bereitzustellen, so daß eine Prüfzeit verkürzt werden kann und die Prüfkosten eingeschränkt werden können.

Um die obige Aufgabe zu lösen, wird gemäß einem Aspekt der Erfindung ein Halbleiterspeicherbauelement bereitgestellt mit einer Speicherzellenmatrix mit einer Vielzahl von Speicherzellen, die jeweils Daten speichern. Eingangs-/Ausgangsleitungspaaren, die mit der Speicherzellenmatrix verbunden sind und in eine Vielzahl von Gruppen eingeteilt sind, und einem Erzeugungsmittel für einen internen Takt zum Empfangen eines extern angelegten Taktsignals, um erste und zweite interne Taktsignale zu erzeugen. Das Bauele-

ment umfaßt ferner ein Lesemittel zum Auslesen von Daten aus der Speicherzellenmatrix über jedes der Eingangs-/Ausgangsleitungspaare, ein erstes Ausgabemittel zum Ausgeben der durch das Lesemittel ausgelesenen Daten in jede von in dem Bauelement vorgesehenen Eingangs-/Ausgangskontaktstellen, und ein Mittel zur parallelen Bitprüfung, das mit einer Eingangs-/Ausgangskontaktstelle verbunden ist. Das Mittel zur parallelen Bitprüfung empfängt, wenn mindestens zwei Gruppen der Eingangs-/Ausgangsleitungspaare während des parallelen Bitprüfmodus ausgewählt werden, die den zwei ausgewählten Gruppen der Eingangs-/Ausgangsleitungspaare entsprechenden Daten von dem Lesemittel, und gibt dann als Reaktion auf die ersten und zweiten internen Taktsignale in einem Zyklus des extern angelegten Takts zwei Prüfdatensignale an die eine Eingangs-/Ausgangskontaktstelle einzeln aus.

In dem Bauelement gemäß der Erfindung wird das erste interne Taktsignal mit einer ansteigenden Flanke des extern angelegten Takts synchronisiert und das zweite interne Taktsignal wird mit einer abfallenden Flanke des extern angelegten Takts synchronisiert.

Ferner umfaßt in dem Bauelement das Mittel zur parallelen Bitprüfung ein erstes Feststellungsmittel, das auf das erste interne Taktsignal reagiert, zum Feststellen, ob sich die Daten aus dem Lesemittel, die einer ausgewählten Gruppe entsprechen, in einem äquivalenten Logikzustand befinden, und zum Erzeugen des einen der Prüfdatensignale als Feststellungsergebnis; ein zweites Feststellungsmittel, das auf das erste interne Taktsignal reagiert, zum Feststellen, ob sich die Daten aus dem Lesemittel, die der anderen ausgewählten Gruppe entsprechen, in einem äquivalenten Logikzustand befinden, und zum Erzeugen des anderen der Prüfdatensignale als Feststellungsergebnis; und ein zweites Ausgabemittel zum Ausgeben des Prüfdatensignals aus dem zweiten Feststellungsmittel in die eine Eingangs-/Ausgangskontaktstelle, als Reaktion auf das zweite interne Taktsignal während einer ersten Hälfte des Zyklus des extern angelegten Takts. Das Prüfsignal aus dem ersten Feststellungsmittel wird in die eine Eingangs-/Ausgangskontaktstelle über das erste Ausgabemittel, welches auf das erste interne Taktsignal reagiert, während einer zweiten Hälfte des Zyklus des extern angelegten Takts ausgegeben.

Gemäß einem weiteren Aspekt dieser Erfindung wird ein Verfahren für ein Halbleiterspeicherbauelement bereitgestellt, welches eine Speicherzellenmatrix mit einer Vielzahl von Speicherzellen, die Daten speichern; und eine Vielzahl von Eingangs-/Ausgangsleitungspaaren, die mit der Speicherzellenmatrix verbunden sind und in mehrere Gruppen eingeteilt sind, umfaßt. Das Verfahren zum Prüfen der in der Speicherzellenmatrix gespeicherten Daten weist die Schritte auf: Erzeugen von ersten und zweiten internen Taktsignalen als Reaktion auf ein extern angelegtes Taktsignal; Auslesen von Daten aus der Speicherzellenmatrix über die Eingangs-/Ausgangsleitungspaare von mindestens zwei aus den mehreren Gruppen ausgewählten; jeweils Feststellen, ob sich die jeder der ausgewählten Gruppen entsprechenden Daten in einem äquivalenten Logikzustand befinden, als Reaktion auf das erste interne Taktsignal; und aufeinanderfolgendes Ausgeben der Feststellungsergebnisse, die jeweils den ausgewählten Gruppen entsprechen, über nur eine Eingangs-/Ausgangskontaktstelle als Reaktion auf die ersten und zweiten internen Taktsignale.

Ein Ausführungsbeispiel der Erfindung wird nachstehend anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1 den Aufbau eines Halbleiterspeicherbauelements, das eine Schaltung zur parallelen Bitprüfung gemäß der Erfindung enthält;

Fig. 2 ein Blockdiagramm der Schaltung zur parallelen

Bitprüfung gemäß einer bevorzugten Ausführungsform der Erfindung; und

Fig. 3 ein Impulsdigramm zur Beschreibung eines parallelen Bitprüfmodus gemäß der Erfindung.

Fig. 1 zeigt den Aufbau eines Halbleiterspeicherbauelements 1, insbesondere eines dynamischen Direktzugriffspeicher-(DRAM)-Bauelements, das einen parallelen Bitprüfmechanismus gemäß der Erfindung einschließt. In Fig. 1 umfaßt das DRAM-Bauelement 1 eine Speicherzellenmatrix 100 und Zeilen- und Spaltendecodierer 110 und 120, die jeweils mit der Speicherzellenmatrix 100 verbunden sind.

Die Speicherzellenmatrix 100 umfaßt einen NMOS-Transistor MN1 mit einer Source-Elektrode, die mit einer Eingangs-/Ausgangsleitung I/OB verbunden ist, einen NMOS-Transistor MN2 mit einer Source-Elektrode, die mit einer Eingangs-/Ausgangsleitung I/O verbunden ist, einen Leseverstärker 102, der mit den Drain-Elektroden der NMOS-Transistoren MN1 und MN2 verbunden ist und die Potentialdifferenz zwischen den Bitleitungen BL und BLB vergleicht, und einen NMOS-Transistor MN3 mit einer Source-Elektrode, die mit der Bitleitung BL verbunden ist, wobei ein Kondensator C mit der Drain-Elektrode des Transistors MN3 verbunden ist. Hierin bilden der Kondensator C und der NMOS-Transistor MN3 eine Speicherzelle. Das Gate des NMOS-Transistors MN3 ist mit dem Zeilendecodierer 110 verbunden. Die Gateelektroden der NMOS-Transistoren MN1 und MN2 sind über eine Leitung (nachstehend als Spaltenansteuerleitung (CSL) bezeichnet) gemeinsam mit dem Spaltendecodierer 120 verbunden. In Fig. 1 ist jedoch nur ein teilweiser Aufbau der Speicherzellenmatrix 100 dargestellt.

Wie in Fig. 1 gezeigt, umfaßt das DRAM-Bauelement 1 ferner eine Erzeugungsschaltung 130 für einen internen Takt, die ein erstes internes Taktsignal PCLK und ein zweites internes Taktsignal PCLKB als Reaktion auf ein extern angelegtes Taktsignal XCLK (nachstehend als "externes Taktsignal" bezeichnet) erzeugt. Das erste interne Taktsignal PCLK wird synchron mit einer ansteigenden Flanke des externen Taktsignals XCLK erzeugt, und das zweite Taktsignal PCLKB wird synchron mit einer abfallenden Flanke desselben erzeugt, wie in der nachstehend zu beschreibenden Fig. 2 gezeigt. Oder, wie durch eine gestrichelte Linie in Fig. 3 dargestellt, die Erzeugungsschaltung 130 für den internen Takt empfängt das externe Taktsignal XCLK und ein zum Signal XCLK komplementäres externes Taktsignal XCLKB und erzeugt dann das mit einer ansteigenden Flanke des Signals XCLK synchronisierte erste interne Taktsignal PCLK und das mit einer ansteigenden Flanke des Signals XCLKB synchronisierte zweite interne Taktsignal PCLKB. Bei dieser Ausführungsform wird vorzugsweise das erstgenannte verwendet.

Mit den Eingangs-/Ausgangsleitungen I/O und I/OB sind ferner eine Leseschaltung 140 zum Auslesen von Daten und eine Schreibschaltung 150 zum Einschreiben von Daten verbunden. Die Leseschaltung 140 ist mit einem ersten Ausgabepuffer 160 zum Ausgeben der gelesenen Daten an eine DQ-Kontaktstelle verbunden. Während eines normalen Lesemodus gibt die Leseschaltung 140 Zellen Daten aus der Speicherzellenmatrix 100 über die Eingangs-/Ausgangsleitungen I/O und I/OB an den ersten Ausgabepuffer 160 aus. Danach werden die so empfangenen Daten vom ersten Ausgabepuffer 160 über die DQ-Kontaktstelle (oder einen DQ-Stift) nach außen übertragen. Andererseits werden während eines parallelen Bitprüfmodus die gelesenen Daten aus der Leseschaltung 140 zur Schaltung 170 zur parallelen Bitprüfung geliefert, und die erste Ausgabeschaltung 160 empfängt als Reaktion auf das erste interne Taktsignal PCLK die Daten von der Schaltung zur parallelen Bitprüfung anstelle

der Leseschaltung 150 und gibt sie aus. Eine solche Umschaltung kann gemäß der Steuerung eines Modusregistersatzes (MRS) (nicht dargestellt), der üblichen Fachleuten gut bekannt ist, ausgeführt werden.

Fig. 1 zeigt nur eine Gruppe des Eingangs-/Ausgangsleitungspaares I/O und I/OB, der damit verbundenen Formation und das Beispiel der Eingabe von Ausgangsdaten mit einer Binärziffer in einer Speicherzellenmatrix 100. Es erübrigt sich jedoch zu sagen, daß andere I/O-Leitungspaare, die in Fig. 1 nicht dargestellt sind, ebenfalls dieselbe Formationsart aufweisen.

Mit der Leseschaltung 140, dem ersten Ausgabepuffer 160 und der DQ-Kontaktstelle ist die Schaltung 170 zur parallelen Bitprüfung verbunden, welche als Reaktion auf die ersten und zweiten internen Taktsignale PCLK und PCLKB arbeitet. Ein Blockdiagramm der Schaltung 170 zur parallelen Bitprüfung gemäß einer bevorzugten Ausführungsform der Erfindung ist in Fig. 2 dargestellt. Und Fig. 3 ist ein Impulsdigramm zur Beschreibung eines parallelen Bitprüfmodus gemäß der Erfindung.

Der Aufbau und der Betrieb der Schaltung 170 zur parallelen Bitprüfung wird nachstehend ausführlich mit Bezug auf Fig. 2 und 3 erläutert.

Es wird angenommen, daß das DRAM-Bauelement 1 so ausgelegt ist, daß n Leseverstärker 102 (in dieser Ausführungsform n=4), mit denen die NMOS-Transistoren MN1 bzw. MN2 gemeinsam verbunden sind, simultan aktiviert werden, wenn eine Spaltenansteuerleitung CSL angesteuert wird. Hierin werden Eingangs-/Ausgangsleitungspaare, die zu der angesteuerten Spaltenansteuerleitung gehören, als Gruppe bezeichnet. Während des normalen Lese-/Schreibmodus werden so gelesene und verstärkte Daten aus n Bits simultan über entsprechende Leseschaltungen 140, entsprechende erste Ausgabepuffer 160 und entsprechende DQ-Kontaktstellen ausgegeben. Unter dieser Bedingung werden während des parallelen Bitprüfmodus zwei Spaltenansteuerleitungen gleichzeitig angesteuert. Daher werden während des parallelen Bitprüfmodus zwei Gruppen von n-Bit-Daten PBTD0n und PBTD1n simultan in die Schaltung 170 zur parallelen Bitprüfung geliefert.

Mit Bezug auf Fig. 2 umfaßt die Schaltung 170 zur parallelen Prüfung eine erste und eine zweite Vergleichsschaltung 171 und 173, die jeweils aus einem 4-Bit-Vergleicher mit n Eingängen und einem Ausgang bestehen, eine erste und eine zweite Halteschaltung 172 und 174, die jeweils aus zwei verriegelten Invertern bestehen, und einen zweiten Ausgabepuffer 175. Die erste Vergleichsschaltung 171 empfängt eine der zwei Gruppen von 4-Bit-Daten als Reaktion auf das erste interne Taktsignal PCLK und stellt dann fest, ob sich alle 4 Bits der Daten, die der einen Gruppe entsprechen, in einem äquivalenten Logikzustand (eine logische "0" oder eine logische "1") befinden.

Die erste Vergleichsschaltung 171 erzeugt ein erstes Prüfdatensignal TDS1 mit niedrigerem oder höherem Pegel als Vergleichsergebnis. Ebenso empfängt die zweite Vergleichsschaltung 173 die andere der zwei Gruppen von 4-Bit-Daten als Reaktion auf das erste interne Taktsignal PCLK und stellt dann fest, ob sich alle vier Bits der Daten, die der anderen Gruppe entsprechen, im gleichen Logikzustand (eine logische "0" oder eine logische "1") befinden. Die zweite Vergleichsschaltung 173 erzeugt ein zweites Prüfdatensignal TDS2 mit niedrigerem oder höherem Pegel als Vergleichsergebnis.

Unter weiterer Bezugnahme auf Fig. 2 werden die so erzeugten ersten und zweiten Prüfdatensignale TDS1 und TDS2 durch die ersten und zweiten Halteschaltungen 172 bzw. 174 gemäß dem ersten internen Taktsignal PCLK zwischengespeichert. Das erste Prüfdatensignal TDS1, das in

der ersten Halteschaltung 172 zwischengespeichert wird, wird über die DQ-Kontaktstelle synchron mit dem ersten internen Taktsignal PCLK nach außen ausgegeben. Das heißt, das erste Prüfdatensignal TDS1 wird während einer Hälfte eines Zyklus des externen Takts XCLK ausgegeben. Und dann wird das zweite Prüfdatensignal TDS2, das in der zweiten Halteschaltung 174 zwischengespeichert wird, über die DQ-Kontaktstelle synchron mit dem zweiten internen Taktsignal PCLKB nach außen ausgegeben. Das heißt, das zweite Prüfdatensignal TDS2 wird während der anderen Hälfte eines Zyklus des externen Takts XCLK ausgegeben.

Wie vorstehend dargelegt, werden während eines Zyklus des externen Taktsignals XCLK die zwei Prüfdatensignale TDS1 und TDS2 synchron mit den ersten und zweiten internen Taktsignalen PCLK bzw. PCLKB über nur eine DQ-Kontaktstelle nacheinander nach außen übertragen. Folglich kann die Zeit, die zum Prüfen aller in der Speicherzellenmatrix 100 gespeicherten Daten erforderlich ist, um die Hälfte der Prüfzeit gemäß dem Stand der Technik verringert werden, so daß die Prüfkosten eingeschränkt werden können.

Die Erfindung wurde unter Verwendung einer beispielhaften bevorzugten Ausführungsform beschrieben. Dennoch sollte es selbstverständlich sein, daß der Schutzbereich der Erfindung nicht auf die offenbarte Ausführungsform begrenzt ist. Im Gegenteil ist vorgesehen, daß sie verschiedene Modifikationen und ähnliche Anordnungen erfaßt. Dem Schutzbereich der Ansprüche sollte daher die breiteste Interpretation gewährt werden, um alle solchen Modifikationen und ähnlichen Anordnungen zu umfassen.

#### Patentansprüche

1. Halbleiterspeicherbauelement mit einem parallelen Bitprüfmodus, welches umfaßt:  
eine Speicherzellenmatrix (100) mit einer Vielzahl von Speicherzellen, die jeweils Daten speichern;  
eine Vielzahl von Eingangs-/Ausgangsleitungspaaren (I/O, I/OB), die mit der Speicherzellenmatrix (100) verbunden sind, wobei die Eingangs-/Ausgangsleitungspaare in eine Vielzahl von Gruppen eingeteilt sind;  
ein Erzeugungsmittel (130) für einen internen Takt zum Empfangen eines extern angelegten Taktsignals (XCLK), um erste und zweite interne Taktsignale (PCLK, PCLKB) zu erzeugen;  
ein Lesemittel (140) zum Auslesen von Daten aus der Speicherzellenmatrix (100) über jedes der Eingangs-/Ausgangsleitungspaare;  
ein erstes Ausgabemittel (160) zum Ausgeben der durch das Lesemittel (140) ausgelesenen Daten in jede von in dem Bauelement (1) vorgesehenen Eingangs-/Ausgangskontaktstellen; und  
ein Mittel (170) zur parallelen Bitprüfung, das mit einer Eingangs-/Ausgangskontaktstelle verbunden ist, zum Empfangen, wenn mindestens zwei Gruppen der Eingangs-/Ausgangsleitungspaare während des parallelen Bitprüfmodus ausgewählt werden, von Daten, die den zwei ausgewählten Gruppen der Eingangs-/Ausgangsleitungspaare entsprechen, von dem Lesemittel (140), um als Reaktion auf die ersten und zweiten internen Taktsignale in einem Zyklus des extern angelegten Takts zwei Prüfdatensignale an die eine Eingangs-/Ausgangskontaktstelle einzeln auszugeben, wobei die zwei Prüfdatensignale jeweils den zwei ausgewählten Gruppen entsprechen und jeweils die Richtigkeit/Unrichtigkeit für die den ausgewählten Gruppen entsprechenden Daten anzeigen.
2. Halbleiterspeicherbauelement nach Anspruch 1,

wobei das erste interne Taktsignal mit einer ansteigenden Flanke des extern angelegten Takts synchronisiert wird und das zweite interne Taktsignal mit einer abfallenden Flanke des extern angelegten Takts synchronisiert wird.

3. Halbleiterspeicherbauelement nach Anspruch 1, wobei das Mittel (170) zur parallelen Bitprüfung umfaßt:

ein erstes Feststellungsmittel (171), das auf das erste interne Taktsignal reagiert, zum Feststellen, ob sich die Daten aus dem Lesemittel (140), die einer ausgewählten Gruppe entsprechen, in einem äquivalenten Logikzustand befinden, und zum Erzeugen des einen der Prüfdatensignale als Feststellungsergebnis;

ein zweites Feststellungsmittel (173), das auf das erste interne Taktsignal reagiert, zum Feststellen, ob sich die Daten aus dem Lesemittel (140), die der anderen ausgewählten Gruppe entsprechen, in einem äquivalenten Logikzustand befinden, und zum Erzeugen des anderen der Prüfdatensignale als Feststellungsergebnis; und

ein zweites Ausgabemittel (175) zum Ausgeben des Prüfdatensignals aus dem zweiten Feststellungsmittel (173) in die eine Eingangs-/Ausgangskontaktstelle als Reaktion auf das zweite interne Taktsignal während einer ersten Hälfte des Zyklus des extern angelegten Takts,

wobei das Prüfsignal aus dem ersten Feststellungsmittel (171) in die eine Eingangs-/Ausgangskontaktstelle über das erste Ausgabemittel (160), welches auf das erste interne Taktsignal reagiert, während einer zweiten Hälfte des Zyklus des extern angelegten Takts ausgegeben wird.

4. Halbleiterspeicherbauelement nach Anspruch 3, wobei jedes von dem ersten und dem zweiten Feststellungsmittel (171, 173) einen N-Bit-Vergleichler mit N Eingängen und einem Ausgang umfaßt.

5. Halbleiterspeicherbauelement nach Anspruch 3, welches ferner ein erstes Haltemittel (172), das zwischen das erste Feststellungsmittel (171) und das erste Ausgabemittel (160) geschaltet ist, zum Zwischenspeichern des Prüfdatensignals aus dem ersten Feststellungsmittel (171) als Reaktion auf das erste interne Taktsignal; und ein zweites Haltemittel (174), das zwischen das zweite Feststellungsmittel (173) und das zweite Ausgabemittel (175) geschaltet ist, zum Zwischenspeichern des Prüfdatensignals aus dem zweiten Feststellungsmittel (173) als Reaktion auf dasselbe umfaßt.

6. Halbleiterspeicherbauelement nach Anspruch 1 oder 3, welches ferner einen Modusregistersatz (MRS) umfaßt, wobei das Lesemittel (140) unter der Steuerung des MRS während eines normalen Modus direkt mit den Eingangs-/Ausgangskontaktstellen über das erste Ausgabemittel (160) verbunden wird.

7. Halbleiterspeicherbauelement nach Anspruch 1, welches ferner ein Schreibmittel (150) zum jeweiligen Schreiben von Daten in die Speicherzellenmatrix (100) über die Eingangs-/Ausgangsleitungspaare umfaßt.

8. Verfahren zum Prüfen der in einer Speicherzellenmatrix eines Halbleiterspeicherbauelement gespeicherten Daten, wobei das Halbleiterspeicherbauelement die Speicherzellenmatrix mit einer Vielzahl von Daten speichernden Speicherzellen und eine Vielzahl von Eingangs-/Ausgangsleitungspaaren aufweist, die mit der Speicherzellenmatrix verbunden und in mehrere Gruppen eingeteilt sind, mit den Schritten:

Erzeugen von ersten und zweiten internen Taktsignalen als Reaktion auf ein extern angelegtes Taktsignal;

Auslesen von Daten aus der Speicherzellenmatrix über die Eingangs-/Ausgangsleitungs-paare von mindestens zwei aus den mehreren Gruppen ausgewählt;  
jeweils Feststellen, ob sich die jeder der ausgewählten Gruppen entsprechenden Daten in einem äquivalenten Logikzustand befinden, als Reaktion auf das erste interne Taktsignal; und  
aufeinanderfolgendes Ausgeben der Feststellungsergebnisse, die jeweils den ausgewählten Gruppen entsprechen, über nur eine Eingangs-/Ausgangskontaktstelle als Reaktion auf die ersten und zweiten internen Taktsignale.

9. Verfahren nach Anspruch 8, wobei das erste interne Taktsignal mit einer ansteigenden Flanke des extern angelegten Taktsignals synchronisiert wird und das zweite interne Taktsignal mit einer abfallenden Flanke des extern angelegten Taktsignals synchronisiert wird.

Hierzu 3 Seiten Zeichnungen

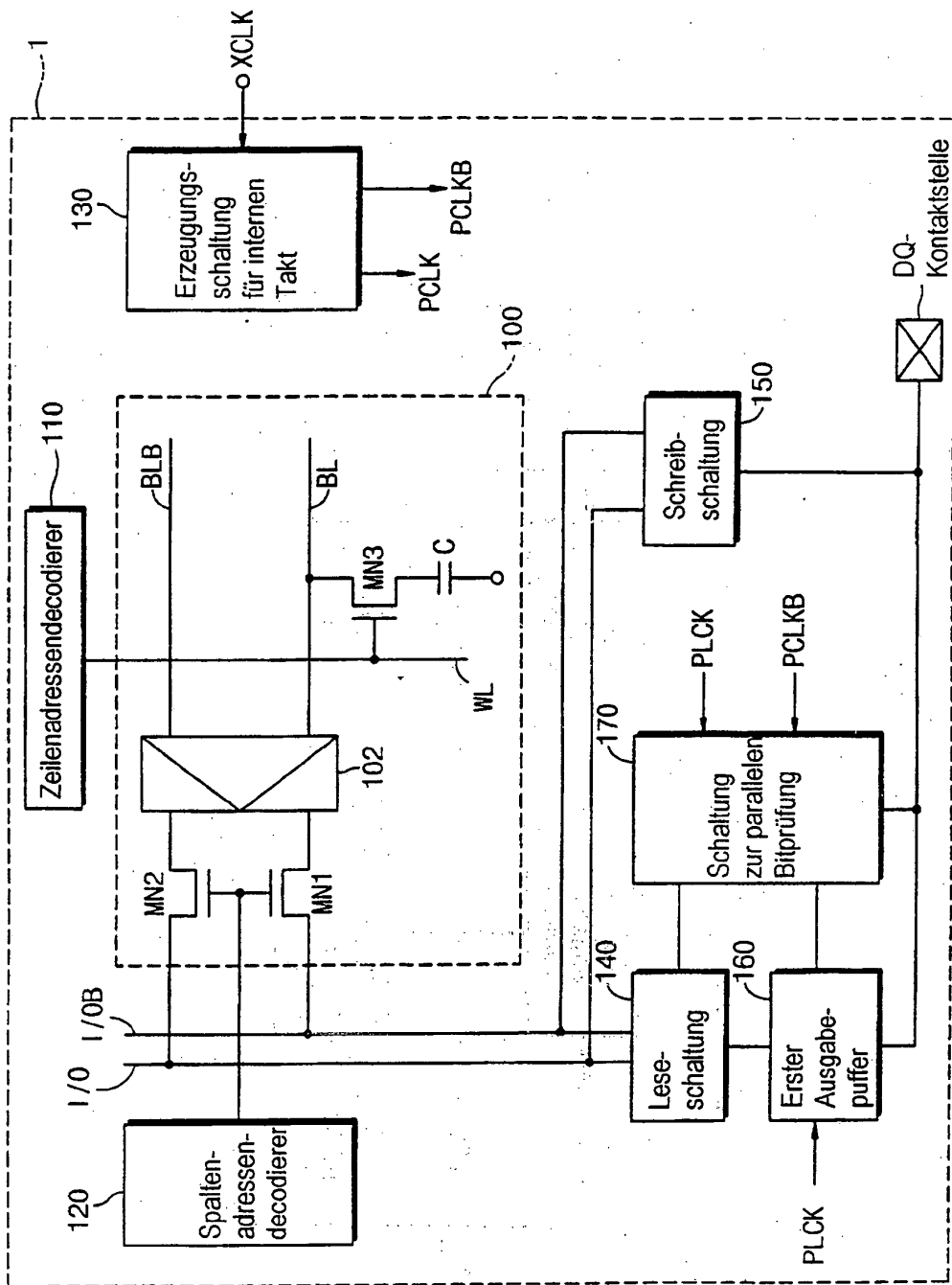


Fig. 1

Fig. 2

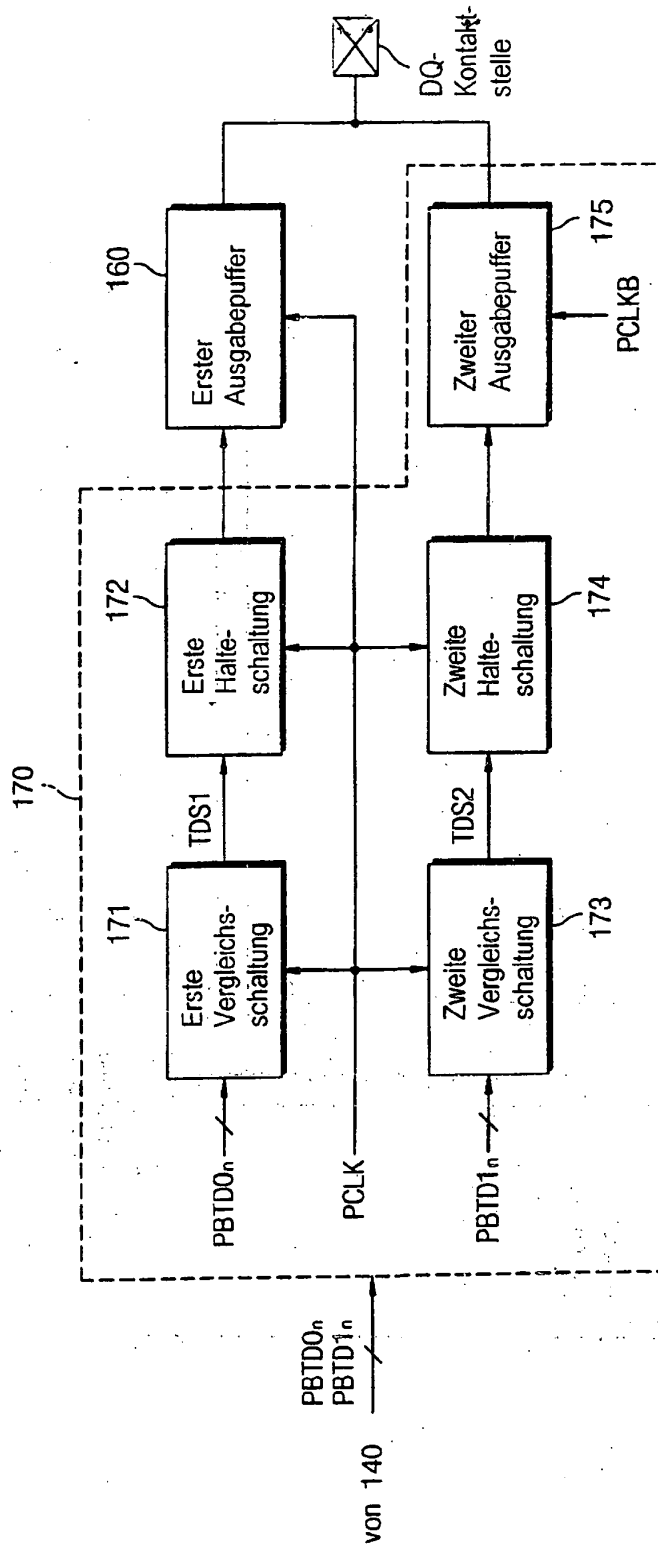


Fig. 3

